

⑧日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A) 平4-155533

⑤Int.Cl.<sup>5</sup>  
G 06 F 9/46

識別記号  
3 5 0  
3 1 3 Z

府内整理番号  
8120-5B  
8120-5B

⑥公開 平成4年(1992)5月28日

審査請求 未請求 請求項の数 1 (全9頁)

⑦発明の名称 仮想計算機制御方式

⑧特 願 平2-281371

⑨出 願 平2(1990)10月19日

⑩発明者 内 海 祐 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑪発明者 井 上 愛 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑫出 願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑬代理 人 弁理士 長谷川 文廣 外2名

明細書

本発明は、実計算機上に複数の仮想計算機を実現する方式に関するもの。

1. 発明の名称

仮想計算機制御方式

2. 特許請求の範囲

中央処理装置(1)と、主記憶(4)とを持つ実計算機上で複数の仮想計算機を実現する方式において、

仮想計算機および仮想計算機制御プログラムが保持している制御情報等を退避するための高速アクセス可能な退避メモリ(5)が備えられ、退避メモリは仮想計算機番号により指定され、退避メモリは仮想計算機および仮想計算機制御プログラムが保持している制御情報等を退避すると共に、退避メモリ回り復元することにより仮想計算機における状態遷移を行うことを特徴とする仮想計算機制御方式。

3. 発明の詳細な説明

(概要)

前述の主記憶へのアクセスをすることなく高速に仮想計算機資源を退避、復元することを目的としたもの。

中央処理装置と、主記憶とを持つ実計算機上で複数の仮想計算機を実現する方式において、仮想計算機および仮想計算機制御プログラムが保持している制御情報等を退避するための高速アクセス可能な退避メモリが備えられ、退避メモリは仮想計算機番号により指定され、退避メモリは仮想計算機および仮想計算機制御プログラムが保持している制御情報等を退避すると共に、退避メモリより復元することにより仮想計算機間における状態遷移を行うことを特徴とする仮想計算機制御方式。

(産業上の利用分野)

本発明は、実計算機上に複数の仮想計算機を実現する方式に関するもの。

## 特開平4-155533(2)

実計算機上に複数の仮想計算機を実現するためには、実計算機上に二つの状態が設定される。

一つは、仮想計算機が動作する状態でVM状態と呼ばれる。他の状態は仮想計算機を制御する状態でHYPER状態と呼ばれる。VM状態で発行された命令や書き込みがVM状態で処理できない場合には、HYPER状態へと遷移が進行し仮想計算機制御プログラムによりシミュレートが行われる。HYPER状態における仮想計算機制御プログラムが処理を終了すると、VM状態状態へと遷移しVM状態での処理が続行される。

従来の仮想計算機制御方式では、仮想計算機あるいは仮想計算機制御プログラムの各種レジスター等の制御情報（以下、資源と呼ぶ）は、主記憶に格納するようになっていた。

例えば、VM状態状態からHYPER状態への遷移の場合には、現行動作中の仮想計算機の資源を、主記憶の特定の領域へ還避し、主記憶の特定の領域に格納されている仮想計算機制御プログラムの資源をCPUへ復元し、HYPER状態を終了するようになっていた。

② 仮想計算機プログラムは、仮想計算機資源の還避を開始し、終了するとHYPER資源の復元がなされる。

③ HYPER状態において、仮想計算機制御プログラムは制御がわざされた原因となった物理を認識し、それに対応した処理を開始する。

④ HYPER状態における必要な処理が終了する。

⑤ HYPER状態の還避を行う。

⑥ VM状態が復元され、仮想計算機上での処理が続行される。

第7図は、従来の仮想計算機制御方式を示す。

図7において、7-1は中央処理装置(CPU)、7-2はバッファ記憶であって、キャッシュメモリよりもなるものである。7-3は主記憶(MS)である。7-4は仮想計算機制御プログラム(HYPER)である。7-5は仮想計算機資源(VM)である。

7-6はHYPER還避領域、7-7～1～7-3～nは、仮想計算機1(VM1)還避領域。

定するようにしていた。

そのため、従来の仮想計算機制御方式では、状態遷移における資源の還避、復元の度に主記憶へのアクセスを必要とし、オーバヘッドの大きい非効率的なものであった。

本発明は、迅速な主記憶へのアクセスをすることなく高速に仮想計算機資源を還避、復元することを目的とする。

## (従来の技術)

第6回～第8回により従来の仮想計算機制御方式を説明する。

第6図は、仮想計算機における状態遷移図である。

6-1はVM状態、6-2はHYPER状態を示す。図示の丸付の番号に従って説明する。

① VM状態6-1において処理不可能な命令や割込みもくはタイムアウト等が発生すると、そのことが仮想計算機制御プログラム(図示せず)に報告される。

仮想計算機2(VM2)還避領域、仮想計算機n(VMn)還避領域である。

図8は仮想計算機制御プログラム(HYPER)とn個の仮想計算機(VM1～VMn)が動作しているシステムを示す。

仮想計算機1が還避する場合について、図8の動作説明をする。

VM状態からHYPER状態への遷移が必要になると仮想計算機は仮想計算機制御プログラムへ報告を行い、仮想計算機制御プログラムが仮想計算機1の資源の還避を開始する。(仮想計算機が還避前に使用していた制御情報を格納されている)。

まず、CPU7-1内のレジスタ等の内容が読み出され、主記憶へ(7-3)格納するため、バッファ記憶(7-2)がアクセスされる。

バッファ記憶(7-2)がヒットすると、バッファ記憶(7-2)への書き込みが行われ、さらに、主記憶記憶(7-3)への書き戻しが行われる。バッファ記憶(7-2)がミスヒットの場合には還避

## 特開平4-155533(3)

領域の主記憶(73)の内容がブロックフェッチされて、バッファ記憶(72)へ格納される。そこで、再度バッファ記憶(72)がアクセスされ、ヘッダ記憶(72)に退避データが書き込まれ、主記憶(73)におけるVMM退避領域73'ー1に書き戻され、仮想計算機1の退避が終了する。

主記憶(73)への仮想計算機1の退避が終了すると、HYPER退避領域からの資源の復元が開始される。

HYPER退避領域73'に格納されている内容を読み出すために、まず、バッファ記憶(72)がアクセスされる。バッファ記憶(72)がヒットするかバッファ記憶(72)に退避されていた値が読み出され、対応するレジスタへ書き込まれる。バッファ記憶がミスヒットした場合には主記憶へブロックフェッチ要求がだされ、HYPER退避領域73'の内容がバッファ記憶72へ格納され、再度バッファ記憶72がアクセスされ、必要な値が読み出され復元される。

但開閉ユニット(表示せず)に出力し、仮想計算機番号によって選択されたバッファ記憶(76ー1~76-n)の中の一一致したときのみバッファ記憶がヒットしたとなります。

このような構成において、VMM状態におけるHYPER用バッファの書換えは行われていないときで、VMM状態からHYPER状態への状態遷移においてはHYPER用のバッファ記憶(76ー1~76-n)の中には前回使用した資源が必ず保存されている。そのため、HYPER状態の復元においては、ミスヒットすることなく高速に行える。しかし、これに先立って行われるVMMの資源の退避においては、VMM走行中にバッファ記憶(76ー1~76-n)の書き換えが行われることがあるために、バッファ記憶が常にヒットするとは限らず、主記憶へのアクセスが必要になる場合を生じる。

第8回に従来の仮想計算機制御における退避、復元のフローを示す。

図において、B0はVMM状態、B0'はHYPER

退避領域73'に退避されていた資源の復元が完了すると仮想計算機制御プログラムは制御がわたされた原因となった処理を認識し、それに対応した処理を開始する。

HYPER状態において必要な処理が終了すると、前述の処理と同様な処理により、HYPER状態からVMM状態へと遷移し、仮想計算機1の処理が続行される。

第7回図は、仮想計算機ごとにバッファ記憶を分割した場合を示す。

図において、75ー1~75-n、77はセレクタ(SEL)である。

76ー1~76-nは各仮想計算機に対応に分割したバッファ記憶である。

中央処理装置(CPU)74、主記憶(MSU)78は図(b)におけるものと同じである。

図において、CPUは主記憶78のアクセスに際して、論理アドレスを動的アドレス機構により物理アドレスに変換し、物理アドレスによりアクセスする。同時に、仮想計算機番号をバッファ記憶である。

図示の番号に従ってフローを示す。

8.1 VMM状態における退避が開始され、全資源が退避されたか判断する。退避が全て終了したら8.6へ進む。全ての退避が終了していないければ、8.2へ進む。

8.2 バッファ記憶へアクセスする。

8.3 バッファアクセスがヒットしたか判断する。ヒットすれば8.5へ進む。ヒットしなければ8.4へ進む。

8.4 主記憶から退避領域のブロックフェッチをしてバッファ記憶に格納する。そこで、再度8.2のバッファ記憶アクセスを切り戻す。

8.5 8.3においてヒットすればVMM資源を主記憶に格納し、8.1以降の処理を振り返す。

8.6 8.1でVMM状態における全資源退避が終了すると、HYPER資源の復元を開始する。

HYPER資源の格納が全て終了すると、HYPER状態における処理が開始される。

全資源の復元が終了していないければ、8.7へ進

## 特開平4-155533(4)

む。

87 ハッファ記憶へアクセスする。

88 ヒットすれば、90へ進む。ヒットしなければ89へ進む。

89 主記憶からHYPER領域のブロックフューチを行い、ハッファ記憶へ格納する。そこで再度、ハッファ記憶アクセスを行う。

90 88でヒットすれば、HYPER資源を主記憶へ格納し、86以降の処理を経て返す。

## 〔発明が解決しようとする課題〕

従来の技術においては、状態遷移における退避、復元の度に、主記憶へのアクセスを必要とし、オーバヘッドの大きいものであった。

本発明は、状態遷移において、主記憶にアクセスすることなく仮想計算機資源を退避、復元することにより、状態遷移に必要な時間と効率化することとする。

## 〔課題を解決するための手段〕

M状態で処理できない命令および割込みが認識されると、仮想計算機は仮想計算機制御プログラムに報告する。報告を受けた仮想計算機制御プログラムは仮想計算機1の資源であって中央処理装置1におけるPSW(Program Status Word)、EG(General Register)、AR(Access Register)、FPR(Floating Point Register)、CR(Control Register)、PR(Fixed Register)、CK(Time-of-day Clock)、CKC(Clock Comparator)、PT(CPU Timer)の内容を読み出す。そして、退避メモリ5におけるVM1退避領域に格納する。

退避が終了すると、仮想計算機制御プログラムの動作履歴を設定するために、退避メモリ5のHYPER領域に退避していた資源を中央処理装置1へ読み込み、対応するレジ斯特等へ復元する。

復元が終ったと、仮想計算機制御プログラムは削除された原因となった処理を認識し、それに応じた処理を開始する。

必要な処理が終ると、削除プログラムは自分が使用していた資源を退避メモリ5のHYPE

本発明は、物理アドレスによってアドレス指定されるバッファ記憶および主記憶とは独立に、仮想計算機番号によってアドレス指定される高速アクセス可能なメモリを実計算機上に設計、仮想計算機および仮想計算機制御プログラムの資源の退避および復元を行つようにした。

第1図に本発明の基本構成を示す。

図において、1は中央処理装置(CPU)、2は動的アドレス変換機構(DAT)であって、論理アドレスを物理アドレスに変換するものである。

3はハッファ記憶であって、キッシュメモリ(CACHE)によるもの、4は主記憶(MS U)、5は退避メモリであって、仮想計算機(V M1～VMn)および仮想計算機制御プログラム(HYPER)の退避領域6は仮想計算機番号及び仮想計算機資源オフセットである。

## 〔作用〕

第1図の基本構成の動作を説明する。

例えば、仮想計算機1(VM1)の動作中にV

R退避領域に書き込み、仮想計算機1の資源を退避メモリ5のVM1退避領域から読み出し、中央処理装置1のレジ斯特等への復元を行い、仮想計算機1へ制御を返す。

退避メモリ5における各資源の退避および復元には仮想計算機番号、仮想計算機資源オフセット6によりアドレスを指定する。

なお、第1図に構成においては、動的アドレス変換機構(DAT)2が備えられているが、主記憶主記憶(MSU)4へのアクセスは論理アドレスにより行う場合もある。

第2図により、本発明における退避、復元のフローを示す。

図において、20はVM状態、20'はHYPER状態である。

VM状態からHYPER状態へ遷移する場合について、図示の番号に従つてフローを説明する。

21 全VM資源の退避が終したか判断する。  
終了していれば23へ進み、終了していないれば22へ進む。

## 特開平4-155533(5)

2.2 VM資源をVM虚構域に格納し、2.1以降の処理を繰り返す。

2.3 全VM資源の退避が終了するとHYPER資源の復元を開始する。そして、全HYPER状態資源が復元されるとHYPER状態は設定される。復元が終了していない場合には、2.4に進む。

2.4 HYPER資源をHYPER格納領域に格納し、2.3以降の処理を繰り返す。

第3図は、本発明における退避メモリへのアドレス計算方法を示す。

図において、3.1は仮想計算機番号、3.2は仮想計算機資源オフセット、3.3は仮想計算機番号と仮想計算機資源オフセットを加算して得られる仮想計算機資源格納アドレスである。

3.4は退避メモリ、3.5は退避メモリ3.4のアドレスであって、仮想計算機番号0、1～Nと仮想計算機資源（PSW0、PSW1、GR0等）のオフセットにより定められるものである。

図は、仮想計算機番号nにおける仮想計算機

資源（PSW1、PSW2等）のオフセットにより定められたそれぞれの資源のアドレスを示す。

本発明においては、主記憶4には仮想計算機および仮想計算機領域プログラムの資源の退避領域は設定されない。そのため、仮想計算機システムにおいて、VM非態とHYPER状態の遷移における退避、復元が主記憶4にアクセスされることなく、高速な退避メモリにのみアクセスすればよいので、状態遷移を高速に行うことができる。

## 【実施例1】

第4図は、本発明における退避メモリをCPUに構成した場合の実施例を示す。

図において、4.0はCPU、4.1はCPU4.0におけるI-Eユニットであって、各種レジスト器を備える部分である。4.2はE-Eユニットであって、演算領域である。4.3はS-Eユニットであって、キャッシュメモリ等のバッファ記憶領域であるもの、4.4はMSU（主記憶）である。

4.5はレジスタック（RGSTK）であって、

各種レジスト器を備えるものである。4.6は退避メモリ、4.9は資源アドレスを設定した領域であって、仮想計算機資源であるレジスタックのオフセット値をもつ領域、4.7は読み出しバス、4.8は書き込みバスである。

仮想計算機の資源であるレジスタ解はレジスタック（RGSTK）4.5に備えられている。  
退避メモリ4.6の各HYPER領域、VM領域は、レジスタック（RGSTK）4.5への書き込みのために書き込みバス4.8を介して送られてくるデータを同時に受けとり、それを受けた領域の常に更新された新しい値を保持している。

また、仮想計算機の資源を復元する場合には、読み出しバス4.7を通じて退避メモリ4.6に保存されているデータを読み出し、書き込みバス4.8を介して、レジスタック（RGSTK）4.5へ書き込み、VモードもしくはHYPER状態を復元する。

退避メモリ4.6へアクセスするアドレスは仮想計算機番号と仮想計算機資源オフセット（資源銀

域アドレス4.9）により生成される。

## 【実施例2】

第5図により本発明の実施例2を説明する。

図は、バッファ記憶（キャッシュメモリ）の領域の一部を退避メモリ専用に割り当てる場合を示す。

通常バッファ記憶は、主記憶（MSU）の異なる複数の領域のコピーを保持するためにウェイと呼ばれるブロックに分割されている。本実施例は、この複数のウェイの中の一つを退避メモリ専用に用いるようにした。

図において、5.0はCPU、5.1はI-Eユニット、5.2はE-Eユニット、5.3はS-Eユニットであって、バッファ記憶（キャッシュメモリ）を備えるもの、5.4はMSU（主記憶）である。

5.5は資源アドレスを保持している領域、5.6は論理アドレスを保持している領域、5.7は転換アドレス変換機（DAT）である。

5.9-1～5.9-nはバッファ記憶であって、

## 特開平4-155533(6)

n個のウェイ0、ウェイ1、……ウェイnに分割されているものである。

本発明においては、例としてウェイ0(59-1)を退避メモリ専用に使用する。

ウェイ0は他のウェイと異なり、MSU(主記憶)のコピーは保持しないため主記憶との接続は不要である。

状態遷移に際して、1-ユニットから資源の退避を示す信号とデータが送られてくる。この時、S-ユニットはこの信号を受取り1-ユニットへバッファヒットを示す信号を返し、ウェイ0を選択してデータを退避させる(バッファは必ずヒットする)。1-ユニットから次に1-ユニットから資源を復元させるための信号が送られてくると、S-ユニットはこの信号を受取1-ユニットへバッファ記憶のヒットを示す信号を返し、ウェイ0をウェイにおいて選択要求されているデータを1-ユニットへ返す。

退避メモリとして使用するバッファ記憶(59-1)へのアクセスに必要なアドレスは仮想計算

装置号と仮想計算機資源オセット(資源アドレス)により生成する。

## (発明の効果)

本発明によれば、仮想計算機システムにおいてVM状態とHYPER状態の遷移における仮想計算機資源の退避、復元を、主記憶にアクセスすることなく行うことができる。そのため、状態遷移を高速に行なうことができ、仮想計算機システムの処理が高効率化される。

## 4. 図面の簡単な説明

第1図は、本発明の基本構成を示す図である。

第2図は、本発明における退避・復元のフローを示す図である。

第3図は、本発明におけるアドレ計算方法を示す図である。

第4図は、本発明の実施例(1)を示す図である。

第5図は、本発明の実施例(2)を示す図である。

る。

第6図は、仮想計算機における状態遷移図である。

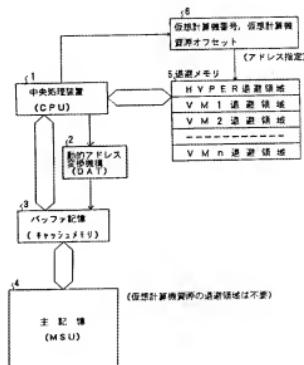
第7図は、従来の仮想計算機制御方式を示す図である。

第8図は、従来の退避・復元のフローを示す図である。

第1図において、

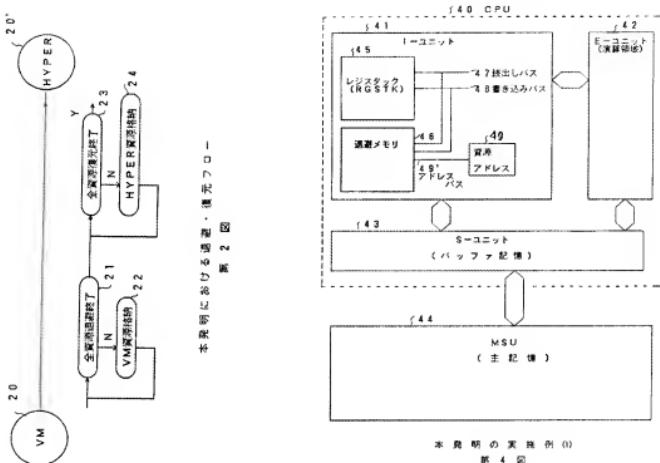
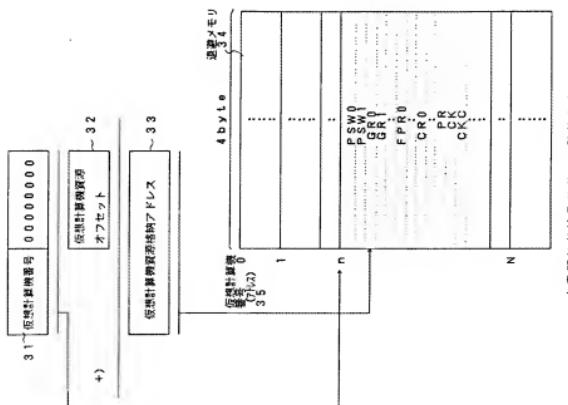
- 1：中央處理装置。
- 2：動的アドレス変換機構(DAT)。
- 3：バッファ記憶(キャッシュメモリ)。
- 4：主記憶(MSU)。
- 5：退避メモリ。
- 6：仮想計算機資源号、仮想計算機資源オセット(アドレス指定)。

特許出願人　富士通株式会社  
代理人弁理士　長谷川 支廣 (外2名)

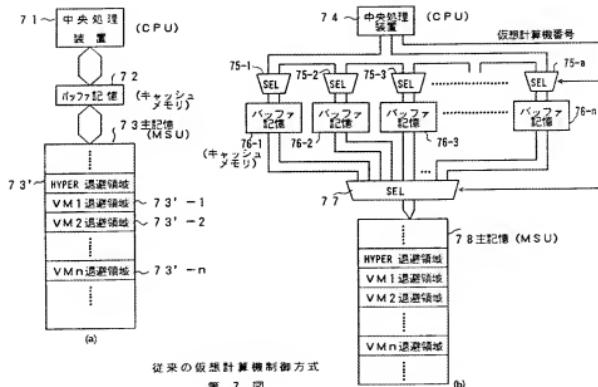
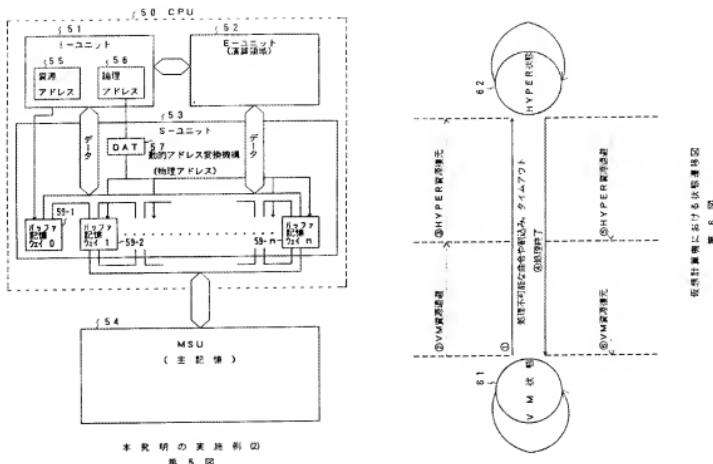


本発明の基本構成図  
第1図

特開平4-155533(7)

本発明における選択・復元フロー  
図2本発明の実施例①  
図4本発明におけるアドレス計算方法  
図3

特開平4-155533 (B)



特開平 4-155533 (9)

